**IMB 板卡PCIE 端FPGA寄存器定义**

|  |  |  |  |
| --- | --- | --- | --- |
| 版本 | 日期 | 改动 | 作者 |
| V0.3 | 2013/2/7 | 从旧的版本更新到V0.3  增加总线机制,分割寄存器 | 王斌 |
| V0.4 | 2013/7/5 | 从旧的版本更新到V0.4  增加寄存器 |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |

目录

[一总线说明 4](#_Toc348080643)

[二寄存器列表 5](#_Toc348080644)

[1 系统总线寄存器定义 5](#_Toc348080645)

[2 OPB 总线寄存器 6](#_Toc348080646)

[3 内部总线寄存器列表 7](#_Toc348080647)

[三寄存器说明 8](#_Toc348080648)

[1 系统总线寄存器 8](#_Toc348080649)

[1）DMA 控制寄存器 8](#_Toc348080650)

[2） DMA 状态寄存器 8](#_Toc348080651)

[3) DMA 数据起始地址 9](#_Toc348080652)

[4) DMA数据长度寄存器 9](#_Toc348080653)

[5) DMA 中断控制寄存器 10](#_Toc348080654)

[6) PCI to CPU 数据/长度寄存器 11](#_Toc348080655)

[7) CPU to PCI 数据/长度寄存器 11](#_Toc348080656)

[8) 软件复位控制 12](#_Toc348080657)

[9) 中断状态寄存器 12](#_Toc348080658)

[10) OPB总线操作寄存器 13](#_Toc348080659)

[11) 内部总线操作寄存器 14](#_Toc348080660)

[2 OPB总线寄存器 15](#_Toc348080661)

[3 内部总线寄存器 16](#_Toc348080662)

[1）开始播放控制寄存器 16](#_Toc348080663)

[2）播放完毕控制 16](#_Toc348080664)

[3）INTOPIX水印头参数 17](#_Toc348080665)

[4） 18](#_Toc348080666)

[5） VIDEO\_PARA1(视频参数1) 18](#_Toc348080667)

[6） VIDEO\_PARA2(视频参数2) 19](#_Toc348080668)

[7）AUDIO\_PARA1(音频参数1) 19](#_Toc348080669)

[8）AUDIO\_PARA2(音频参数2) 19](#_Toc348080670)

[9）CONTENT\_SEL(播放内容选择) 20](#_Toc348080671)

[10）AV\_DELAY\_CTL (音视频延时控制) 20](#_Toc348080672)

[11）MULTI-SYNC\_CTL(多机同步播放控制) 21](#_Toc348080673)

**空白页**

# 一总线说明

本设计中实现3种总线的访问：

1. 系统总线：映射到PCIE总线，可直接通过PCIE地址访问；该总线实现一些与系统操作有关的寄存器。
2. OPB总线：该总线挂接到INTOPIX 的 JPEG2000解码核的OPB总线上。该总线访问要通过系统总线

的OPB总线操作寄存器实现。

1. 内部总线（Local Bus）: 该总线要通过系统总线的内部总线操作寄存器实现操作。该总线下实现与IMB板卡

功能相关的寄存器（如音视频的控制等）。



# 二寄存器列表

## 1 系统总线寄存器定义

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 地址 | 名称 | 说明 | 读/写 | 宽度 |
| DMA 相关寄存器 | | | | |
| 0x1000 | DMA\_CTL | DMA 控制寄存器 | W/R | 32 |
| 0x1004 | DMA\_STS | DMA 状态寄存器 | W/R | 32 |
| 0x1008 | DMA\_ADDR | DMA 数据地址 | W/R | 32 |
| 0x100C | DMA\_LEN | DMA数据长度寄存器 | W/R | 32 |
| 0x1010 | DMA\_INT | DMA 中断控制寄存器 | W/R | 32 |
| 0x1014 | DMA\_INT\_DI | DMA\_INT\_DI(暂不使用) | W/R | 32 |
|  |  |  |  |  |
| IP 通讯寄存器 | | | | |
| 0x1200 | PCI2PXA\_DATA | PCI to PXA CPU 数据通道缓存地址 | W |  |
| 0x1204 | PXA2PCI\_DATA | PXA CPU to PCI 数据通道缓存地址 | R |  |
| 0x1208 | PCI2PXA\_LEN | PCI to PXA 数据包长度寄存器 | W/R |  |
| 0x120C | PXA2PCI\_LEN | PXA to PCI 数据包长度寄存器 | W/R |  |
|  |  |  |  |  |
| OPB总线操作寄存器 | | | | |
| 0x1400 | OPB\_ADDR | OPB总线地址 | W |  |
| 0x1404 | OPB\_WDATA | OPB总线写数据 | W |  |
| 0x1408 | OPB\_ANC\_RDATA | OPB总线辅助读数据 | R |  |
| 0x140c | OPB\_RDATA | OPB总线读数据 | R |  |
| 0x1410 | OPB\_STS | OPB总线读状态 | R |  |
|  |  |  |  |  |
| 全局功能寄存器 | | | | |
| 0x1800 | RST\_CTL | 软复位控制寄存器 | W |  |
| 0x1804 | INT\_STS | 中断状态寄存器 | W/R |  |
|  |  |  |  |  |
| 内部总线操作寄存器 | | | | |
| 0x1C00 | LBUS\_ADDR | 内部总线地址 | W |  |
| 0x1C04 | LBUS \_WDATA | 内部总线写数据 | W |  |
| 0x1C08 | LBUS \_ANC\_RDATA | 内部总线辅助读数据 | R |  |
| 0x1C0c | LBUS \_RDATA | 内部总线读数据 | R |  |
| 0x1C10 | LBUS \_STS | 内部总线读状态 | R |  |
|  |  |  |  |  |
|  |  |  |  |  |

## 2 OPB 总线寄存器

该总线上的寄存器定义，请参考INTOPIX JPEG2000解码核的数据手册。

## 3 内部总线寄存器列表

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 地址 | 名称 | 说明 | | 读/写 | 宽度 |
| 音视频播放控制寄存器 | | | | | |
| 0x00 | START\_CTL | | 开始播放控制 | W | 32 |
| 0x04 | END\_CTL | | 播放完毕控制 | W | 32 |
| 0x08 | WM\_HEADER | | INTOPIX 水印头参数 | WR | 32 |
|  |  | |  |  |  |
| 0x10 | VIDEO\_PARA1 | | Video Source Parameter1 | W/R | 32 |
| 0x14 | VIDEO\_PARA2 | | Video Source Parameter2 | W/R | 32 |
| 0x18 | AUDIO\_PARA1 | | Audio Source Parameter 1 | W/R | 32 |
| 0x1C | AUDIO\_PARA2 | | Audio Source Parameter 2 | W/R | 32 |
| 0x20 | CONTENT\_SEL | | 播放内容选择 | W/R | 32 |
| 0x24 | AV\_DELAY\_CTL | | 音视频输出延时控制 | W/R | 32 |
| 0x28 | MultiSync\_CTL | | 多机同步控制 | W/R | 32 |
|  |  | |  |  |  |
| 0x30 | P\_H\_ACTIVE | | lvds module control setting | W/R | 32 |
| 0x34 | P\_H\_BACK\_PORCH | | lvds module control setting | W/R | 32 |
| 0x38 | P\_H\_FRONT\_PORCH | | lvds module control setting | W/R | 32 |
| 0x3c | P\_H\_TOTAL | | lvds module control setting | W/R | 32 |
| 0x40 | P\_V\_ACTIVE | | lvds module control setting | W/R | 32 |
| 0x44 | P\_V\_BACK\_PORCH | | lvds module control setting | W/R | 32 |
| 0x48 | P\_V\_FRONT\_PORCH | | lvds module control setting | W/R | 32 |
| 0x4c | P\_V\_TOTAL | | lvds module control setting | W/R | 32 |
|  |  | |  |  |  |
| 0x54 | V\_total\_mpeg | | MPEG V total size | W/R | 32 |
| 0x58 | H\_total\_mpeg | | MPEG H total size | W/R | 32 |
|  |  | |  |  |  |
| 0x60 | codestream\_kind | | 码流类型 | W/R | 32 |
| 0x64 | audio\_channel\_num | | 音频通道数 | W/R | 32 |
| 0x68 | audio\_freq | | Audio frequency | W/R | 32 |
|  |  | |  |  |  |
| 0x70 | jpeg\_video\_delay\_num | | JPEG视频输出延时控制 | W/R | 32 |
| 0x74 | jpeg\_audio\_delay\_num | | JPEG音频输出延时控制 | W/R | 32 |
| 0x78 | mpeg\_video\_delay\_num | | MPEG视频输出延时控制 | W/R | 32 |
| 0x7c | mpeg\_audio\_delay\_num | | MPEG音频输出延时控制 | W/R | 32 |
|  |  | |  |  |  |
| 0x80 | frame\_in\_ddr | | DDR缓存帧数控制 | W/R | 32 |
| 0x84 | left\_eye\_white\_line | | 3D左右眼信号交织控制 | W/R | 32 |
| 0x88 | right\_eye\_white\_line | | 3D左右眼信号交织控制 | W/R | 32 |
|  |  | |  |  |  |
| 0x90 | slave\_sync\_sel | | 主从板同步控制 | W/R | 32 |
| 0x94 | jpeg\_output0\_ctl | | JPEG禁止输出 | W/R | 32 |
|  |  | |  |  |  |
| 0xf0 | DEBUG | | 测试模式寄存器 |  |  |
|  |  | |  |  |  |

# 三寄存器说明

## 1 系统总线寄存器

### 1）DMA 控制寄存器

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| ADDR | REGISTER NAME | REGISTER DESCRIPTION | R/W | RESET VALUE |
|  | DMA\_CTL | DMA 控制寄存器 | R/W | See Bit Field |

|  |  |  |  |
| --- | --- | --- | --- |
| CTRL Bit Field | | | |
| Bit | Name | Description | Reset Value |
| 0 | DMA\_START | DMA 开始工作控制位；  写1，DMA启动；  写0，无效； | 0 |
| 1 | INT\_DIS | 中断使能控制位：  写1，DMA结束时不产生中断；  写0，DMA结束时产生中断； | 0 |
|  |  |  |  |

### 2）DMA 状态寄存器

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| ADDR | REGISTER NAME | REGISTER DESCRIPTION | R/W | RESET VALUE |
|  | DMA\_STS | DMA 状态寄存器 | R/W | See Bit Field |

|  |  |  |  |
| --- | --- | --- | --- |
| CTRL Bit Field | | | |
| Bit | Name | Description | Reset Value |
| 0 | DMA\_DONE\_STS | DMA 操作结束状态位：  当一次DMA操作结束时，该位置1；  下一次DMA操作开始时，该位置0； | 0 |
| 其他 | 保留 |  | 0 |

### 3) DMA 数据起始地址

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| ADDR | REGISTER NAME | REGISTER DESCRIPTION | R/W | RESET VALUE |
|  | DMA\_ADDR | DMA 数据地址寄存器 | R/W | See Bit Field |

|  |  |  |  |
| --- | --- | --- | --- |
| CTRL Bit Field | | | |
| Bit | Name | Description | Reset Value |
| 0~31 | DMA\_ADDR | DMA传输的数据在内存中的起始地址，  此地址必须128字节对齐 | 0 |
|  |  |  |  |

### 4) DMA数据长度寄存器

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| ADDR | REGISTER NAME | REGISTER DESCRIPTION | R/W | RESET VALUE |
|  | DMA\_LEN | DMA数据长度寄存器 | R/W | See Bit Field |

|  |  |  |  |
| --- | --- | --- | --- |
| CTRL Bit Field | | | |
| Bit | Name | Description | Reset Value |
| 0~23 | DMA\_LEN | DMA传输的数据长度；  单位：字节；  必须是8字节的倍数； | 0 |
| Others | 保留 |  |  |
|  |  |  |  |

### 5) DMA 中断控制寄存器

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| ADDR | REGISTER NAME | REGISTER DESCRIPTION | R/W | RESET VALUE |
|  | DMA\_INT | DMA 中断控制寄存器 | R/W | See Bit Field |

|  |  |  |  |
| --- | --- | --- | --- |
| CTRL Bit Field | | | |
| Bit | Name | Description | Reset Value |
| 0 | INT\_CLR | 中断清除位；  写1将清除中断；  写0无效； | 0 |
|  |  |  |  |

**DMA使用流程说明**

1. 内存中准备一次DMA用到的数据
2. 配置DMA地址寄存器/长度寄存器
3. 配置DMA控制寄存器，开始DMA操作
4. 等待中断产生
5. 得到中断，操作DMA中断控制寄存器，清除中断
6. 重复 0 到4 步骤N次，缓存N帧数据
7. 配置播放控制寄存器，开始播放视频帧
8. 重复0到4，直到视频播放完毕

### 6) PCI to CPU 数据/长度寄存器

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| ADDR | REGISTER NAME | REGISTER DESCRIPTION | R/W | RESET VALUE |
|  | PCI2CPU\_DATA | PCI 到CPU IP包数据缓存地址 | W | See Bit Field |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| ADDR | REGISTER NAME | REGISTER DESCRIPTION | R/W | RESET VALUE |
|  | PCI2CPU\_LEN | PCI 到CPU IP包长度 | WR | See Bit Field |

在PCI向CPU端传送数据包之前，应查询状态寄存器的PCI到CPU数据缓冲空标志，如果为1，PCI可向PCI2CPU\_DATA写入一个数据包, 最后将数据包的长度写入PCI2CPU\_LEN；写入后，CPU端产生中断；

CPU端查询到状态寄存器的PCI to CPU数据缓冲非空标志为1时，可根据数据包长度读出该数据包；数据读取完毕后，向PCI2CPU\_LEN写入全0清掉中断。

### 7) CPU to PCI 数据/长度寄存器

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| ADDR | REGISTER NAME | REGISTER DESCRIPTION | R/W | RESET VALUE |
|  | CPU2PCI\_DATA | CPU到PCI IP包数据缓存地址 | R | See Bit Field |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| ADDR | REGISTER NAME | REGISTER DESCRIPTION | R/W | RESET VALUE |
|  | CPU2PCI\_LEN | CPU 到PCI IP包长度 | WR | See Bit Field |

当CPU端软件向CPU2PCI\_DATA写入一个数据包后，将数据包的长度写入CPU2PCI\_LEN地址；

写入后，PCI端产生中断；

PCI查询到状态寄存器的CPUtoPCI数据缓冲非空标志为1时，可根据数据包长度读出该数据包；

数据读取完毕后，向CPU2PCI\_LEN写入全0清掉中断。

### 8) 软件复位控制

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| ADDR | REGISTER NAME | REGISTER DESCRIPTION | R/W | RESET VALUE |
|  | SRST\_CTL | 软件复位控制 | W | See Bit Field |

Bit0: 写入1将产生FPGA内部软件复位

硬件将自动将该位清0，软件写0无效

### 9) 中断状态寄存器

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| ADDR | REGISTER NAME | REGISTER DESCRIPTION | R/W | RESET VALUE |
|  | INT\_STS | 中断状态寄存器 | R | See Bit Field |

|  |  |  |  |
| --- | --- | --- | --- |
| CTRL Bit Field | | | |
| Bit | Name | Description | Reset Value |
| 0 | DMA\_INT\_STS | DMA 操作结束时，该位置1，并产生PCIe中断；  清除此中断，参见DMA 相关寄存器 | 0 |
|  | FIFO\_INT\_STS | 当IP FIFO 不空时，该位置1，并产生PCIe端中断；  此中断不用清除，当FIFO中数据读完时，自动清除 | 0 |
| 其他 | 保留 |  | 0 |
|  |  |  |  |

### 10) OPB总线操作寄存器

这些寄存器是用来使PCIe端主机操作IntoPix IP核的OPB总线，可对其总线上的寄存器进行读写操作。

INTOPIX JPEG2000解码核的OPB 寄存器定义参见解码核DATASHEET。

寄存器：

<OPB总线地址> ：提供要访问OPB总线的地址

<OPB总线写数据> ：提供写数据

<OPB总线辅助读数据> ：提供给内部逻辑产生读操作

<OPB总线读状态> ：BIT0 提供读操作完成状态 opb\_read \_rdy

<OPB总线读数据> ：提供从OPB总线读出的数据

操作流程：

写操作：

<1> 写<OPB总线地址>，提供OPB总线地址

<2>把数据写入<OPB总线写数据>即可

读操作：

<1>写<OPB总线地址>，提供OPB总线地址

<2>读取<OPB总线辅助读数据>，但忽略读进来的数据

<3>读<OPB辅助读状态>，如果 opb\_read\_rdy 为1，则OPB总线读操作完成，读取<OPB总线读数据>即可

### 11) 内部总线操作寄存器

这些寄存器是用来使PCIe端主机访问FPGA内部总线上的各寄存器，内部总线上实现了IMB板卡音视频播放各功能对应的寄存器，

寄存器：

<内部总线地址> ：提供要访问的内部总线寄存器的地址

<内部总线写数据> ：提供要写入某内部总线寄存器的数据

<内部总线辅助读数据>：提供给内部逻辑产生读操作

<内部总线读状态> ：BIT0 提供内部总线读操作完成状态 func\_read \_rdy

<内部总线读数据> ：提供从要访问的内部总线寄存器读出的数据

操作流程：

写操作：

<1> 写<内部总线地址>，提供要访问的内部总线寄存器地址

<2>把数据写入<内部总线写数据>即可

读操作：

<1>写<内部总线地址>，提供要访问的内部总线功能寄存器地址

<2>读取<内部总线辅助-读数据>，但忽略读进来的数据

<3>读<内部总线读状态>，如果func\_read\_rdy 为1，则内部总线寄存器读操作完成，

读取<内部总线读数据>即可

## 2 OPB总线寄存器

参见INTOPIX JPEG2000 解码核的数据手册

## 3 内部总线寄存器

### 1）开始播放控制寄存器

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| ADDR | REGISTER NAME | REGISTER DESCRIPTION | R/W | RESET VALUE |
|  | START\_CTL | 开始播放控制寄存器 | W | See Bit Field |

Bit0: 写1 使能音视频播放；

无需S/W清零

默认值为0

Bit1:

其它位：保留；

### 2）播放完毕控制

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| ADDR | REGISTER NAME | REGISTER DESCRIPTION | R/W | RESET VALUE |
|  | END\_CTL | 播放结束控制 | W | See Bit Field |

Bit0:当影片播完最后一桢后，将该位置1,FPGA将进行完整性校验相关工作

其它位：保留

### 3）INTOPIX水印头参数

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| ADDR | REGISTER NAME | REGISTER DESCRIPTION | R/W | RESET VALUE |
|  | WM\_HEADER | INTOPIX水印头参数 | W | See Bit Field |

Bit0：写1表明播放3D影片，写0 表明播放2D影片;

默认值为0;

播放影片前需要设定该参数；

此位等同于INTOPIX水印头中的ACTIVE 位

Bit7:4: FPS MODE 设置，参见水印及INTOPIX 文档，默认值为0X0

其它位：保留



### 4）



### 5）VIDEO\_PARA1(视频参数1)

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| ADDR | REGISTER NAME | REGISTER DESCRIPTION | R/W | RESET VALUE |
|  | VIDEO\_PARA1 | 片源参数1 | W | See Bit Field |

Bit15：8：帧率设置：参看下表（摘自INTOPIX 解码核DATASHEET）默认80 frame\_rate\_divide2





























### 12）LVDS参数控制

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| ADDR | REGISTER NAME | REGISTER DESCRIPTION | R/W | RESET VALUE |
|  | P\_H\_ACTIVE | lvds module control setting | W/R | See Bit Field |
|  | P\_H\_BACK\_PORCH | lvds module control setting | W/R | See Bit Field |
|  | P\_H\_FRONT\_PORCH | lvds module control setting | W/R | See Bit Field |
|  | P\_H\_TOTAL | lvds module control setting | W/R | See Bit Field |
|  | P\_V\_ACTIVE | lvds module control setting | W/R | See Bit Field |
|  | P\_V\_BACK\_PORCH | lvds module control setting | W/R | See Bit Field |
|  | P\_V\_FRONT\_PORCH | lvds module control setting | W/R | See Bit Field |
|  | P\_V\_TOTAL | lvds module control setting | W/R | See Bit Field |

### 13）codestream\_kind(播放内容选择)

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| ADDR | REGISTER NAME | REGISTER DESCRIPTION | R/W | RESET VALUE |
|  | codestream\_kind | 播放内容选择 | W/R | See Bit Field |

Bit1:0:

　　　　　00: 原始视频播放（　指ＣＯＭ－Ｅ软解ＭＰＥＧ２／Ｈ２６４后通过ＰＣＩＥ接口直接下发

解完码的视频）

　　　　　01: JPEG2000 影片播放，默认

　　　　 10: MPEG2 码流播放

　　　　 11: HDMI 视频播放

### 14）audio\_channel\_num(音频参数1)

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| ADDR | REGISTER NAME | REGISTER DESCRIPTION | R/W | RESET VALUE |
|  | audio\_channel\_num | 音频参数1 | W | See Bit Field |

此寄存器用来设定音频输入的声道数

Bit7:0：00000001： 6 声道

00000010： 8声道

00000011： 16声道

其他：　　　保留

### 15）audio\_freq(音频参数2)

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| ADDR | REGISTER NAME | REGISTER DESCRIPTION | R/W | RESET VALUE |
|  | audio\_freq | 音频参数2 | W/R | See Bit Field |

此寄存器用来设定音频输入／输出采样率

输入输出采样率：

Bit7：0：0000 48KHZ输入，48KHZ输出，默认

0001 96KHZ输入，96KHZ输出

0010 44.1KHZ输入，44.1KHZ输出

0011 88.2KHZ输入，88.2KHZ输出

010048KHZ输入，96KHZ输出

0101 96KHZ输入，48KHZ输出

### 16）JPEG音视频延时控制

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| ADDR | REGISTER NAME | REGISTER DESCRIPTION | R/W | RESET VALUE |
|  | jpeg\_video\_delay\_num | JPEG视频延时控制 | W/R | See Bit Field |
|  | jpeg\_audio\_delay\_num | JPEG音频延时控制 | W/R | See Bit Field |

此寄存器用来设定JPEG音视频延时控制，默认值为0

### 17）MPEG音视频延时控制

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| ADDR | REGISTER NAME | REGISTER DESCRIPTION | R/W | RESET VALUE |
|  | mpeg\_video\_delay\_num | MPEG视频延时控制 | W/R | See Bit Field |
|  | mpeg\_audio\_delay\_num | MPEG音频延时控制 | W/R | See Bit Field |

此寄存器用来设定MPEG音视频延时控制，默认值为0

### 18）3D左右眼交织控制

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| ADDR | REGISTER NAME | REGISTER DESCRIPTION | R/W | RESET VALUE |
|  | left\_eye\_white\_line | 3D左右眼交织控制 | W/R | See Bit Field |
|  | right\_eye\_white\_line | 3D左右眼交织控制 | W/R | See Bit Field |

此寄存器用来设定3D左右眼交织控制，每帧的最后一行用于判别3D左右眼

左眼帧：每帧最后一行前25%纯白，后75%纯黑；

右眼帧：每帧最后一行前75%纯白，后25%纯黑；

left\_eye\_white\_line：每帧最后一行25%位置

right\_eye\_white\_line：每帧最后一行75%位置

### 19）slave\_sync\_sel(多机同步播放控制)

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| ADDR | REGISTER NAME | REGISTER DESCRIPTION | R/W | RESET VALUE |
|  | slave\_sync\_sel | 多机同步播放控制 | W/R | See Bit Field |

Bit0：多机同步播放主从 0：主机 1：从机，默认为主机

### 20）jpeg\_output0\_ctl(JPEG禁止输出控制)

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| ADDR | REGISTER NAME | REGISTER DESCRIPTION | R/W | RESET VALUE |
|  | jpeg\_output0\_ctl | JPEG禁止输出控制 | W/R | See Bit Field |

Bit0：JPEG禁止输出控制 0：正常输出 1：JPEG音视频禁止输出，默认为0